

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-105503

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.⁶

識別記号

F I

G 0 6 F 13/14

3 2 0

G 0 6 F 13/14

3 2 0 A

12/06

5 1 5

12/06

5 1 5 A

審査請求 有 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平9-189757

(22) 出願日 平成9年(1997) 7月15日

(31) 優先権主張番号 28506/1996

(32) 優先日 1996年7月15日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 596034274
エルジー セミコン カンパニー リミテッド
大韓民国、チューンチェオンブクド、チエオンジュ、フンダクグ、ヒヤングジェ オンドン、1

(72) 発明者 ドンスー チョ
大韓民国、キュンキード、アンヤン、ドンアンク、ホキェ 2-ドン、570

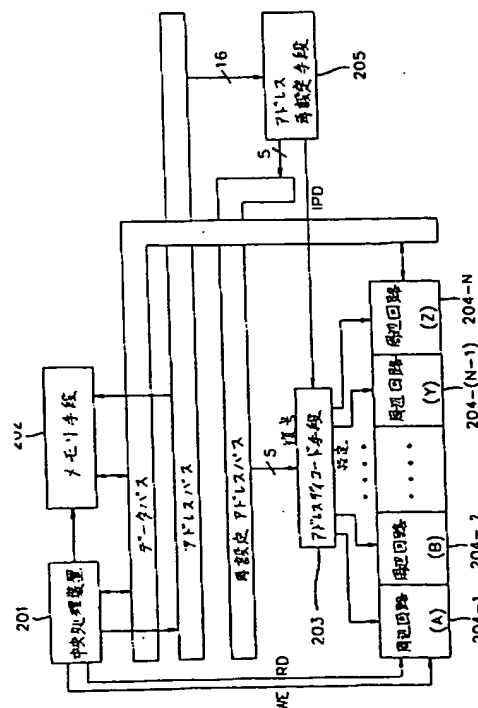
(74) 代理人 弁理士 笹島 富二雄 (外1名)

(54) 【発明の名称】 マイクロコントローラのアドレス再設定回路

(57) 【要約】

【課題】周辺回路を任意に選択し、該選択された周辺回路に対するアドレスを再設定し、応用ソフトウェアプログラムの開発を容易にすることにある。

【解決手段】プログラム及びデータを格納するメモリ手段202と、メモリ手段202とデータバスにより接続される周辺回路204-1〜204-Nと、メモリ手段202に格納されたプログラムを実行して周辺回路204-1〜204-Nを制御する中央処理装置201と、周辺回路204-1〜204-Nを割り当てアドレスに変換し再設定するための再設定アドレスを出力すると共に、周辺回路204-1〜204-Nの中で選択されない周辺回路をディスエーブルさせる制御信号を出力するアドレス再設定手段205と、アドレス再設定手段205から出力する再設定アドレスを復号し、この復号された再設定アドレスに従って周辺回路204-1〜204-Nの中で選択された周辺回路を指定するアドレスデコード手段203とから構成する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 プログラム及びデータを格納するメモリ手段と、

該メモリ手段とデータバスにより接続される複数の周辺回路と、

前記メモリ手段に格納されたプログラムを実行して前記周辺回路を制御する中央処理装置と、

前記周辺回路を割り当てるアドレスを変換して再設定するための再設定アドレスを出力すると共に、前記周辺回路の中で選択されない周辺回路をディスエーブルさせるための制御信号を出力するアドレス再設定手段と、

該アドレス再設定手段から出力する前記再設定アドレスと前記制御信号を入力して前記再設定アドレスを復号し、この復号された再設定アドレスにしたがって前記周辺回路の中で選択された周辺回路を指定するアドレスデコード手段と、を備えて構成されたことを特徴とするマイクロコントローラのアドレス再設定回路。

【請求項2】 前記アドレス再設定手段は、アドレスバスに載せられたアドレス中の前記周辺回路を割り当てるアドレスが入力されるアドレス入力端と、該アドレス入力端から入力されたアドレスを再設定した再設定アドレスに変換すると共に、前記周辺回路中の選択されない前記周辺回路をディスエーブルさせるための制御信号を前記アドレスデコード手段に入力するアドレス変換端と、該アドレス変換端で変換された前記再設定アドレスを前記アドレスデコード手段に出力するアドレス出力端と、を含んで構成することを特徴とする請求項1記載のマイクロコントローラのアドレス再設定回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロコントローラのアドレス再設定回路に係るもので、詳しくは、内蔵された周辺回路のアドレスを再設定し得るマイクロコントローラのアドレス再設定回路に関する。

【0002】

【従来の技術】従来、マイクロコントローラにおいては、図8に示すように、プログラム及びデータを格納するメモリ102と、アドレスADDRを復号して周辺回路104-1～104-Nに夫々割当するアドレスデコード手段103と、前記メモリ102に格納されたプログラムを実行してそれら周辺回路104-1～104-Nに読み出し制御RD (read disable) 信号、書き込み制御WE (write enable) 信号を出力する中央処理装置101とから構成されている。

【0003】このように構成されたマイクロコントローラは、ソフトウェアプログラムを開発するとき、エミュレータに接続して用いられ、該エミュレータは図9に示したように、データを格納する第1メモリ112及び第2メモリ113と、それら第1メモリ112及び第2メモリ113を制御する制御部111とを備えている。こ

の種の従来のマイクロコントローラの動作を説明すると、次のようである。

【0004】まず、コンピュータシステムのように、機器にマイクロコントローラを接続して動作を開始すると、中央処理装置101はチップイネーブル信号CEをアクティブさせてメモリ102をイネーブルさせた後、該メモリ102に格納されたプログラムを実行させる。このとき、前記中央処理装置101は、周辺回路104-1～104-Nを指定するためのアドレスADDRを出力し、アドレスデコード手段103が該アドレスADDRを復号して周辺回路104-1～104-Nに夫々前記アドレスADDRを割り当てると、前記中央処理装置101の読み出し制御RD信号、書き込み制御WE信号がそれら周辺装置104-1～104-N中の選択された周辺回路に入力されて、読み出し、書き込み処理が行われる。

【0005】即ち、使用者がソフトウェアプログラムの作成のため、マイクロコントローラの接続されたエミュレータのキーワードを入力すると、制御部111は第1メモリ112に格納されたプログラムを実行してマイクロコントローラ114を駆動させる。このときに、該マイクロコントローラ114の中央処理装置101は、例えばROMなどからなる第1メモリ112に格納されたプログラムを実行してアドレスを発生し、該アドレスを受信したアドレスデコード手段103は周辺回路104-1～104-Nを順次指定する。

【0006】次いで、前記中央処理装置101の前記読み出し制御RD信号、書き込み制御WE信号により周辺回路104-1～104-N中の該当する例えば、周辺回路104-1、104-2が動作してそれら周辺回路104-1、104-2にデータバスのデータが入力して該当する読み出し、書き込み処理が行われ、該当データは例えばRAMなどからなる第2メモリ113に格納される。

【0007】以後、プログラムを作成する間に例えば、使用者が読み出し、書き込み処理の実行状態を点検するためにキーワードを入力すると、制御部111はマイクロコントローラ114の動作を停止させる。また、使用者が任意の機能の実行可否を確認するためにキーワードを入力すると、制御部111は第2メモリ113に格納されたデータ中の該当データを読取って表示装置(図示されず)に出力する。

【0008】よって、使用者は、該表示装置の画面に現れるデータをキーワードを入力して点検して、該当する周辺回路の機能を実行する際に、例えば読み出し書き込み処理の実行状態を判断することができる。

【0009】

【発明が解決しようとする課題】しかしながら、この種のマイクロコントローラにおいては、内蔵された周辺回路のアドレスが固定的に割当てられ、使用者が任意に再

設定することができないという問題がある。即ち、図9に示すように、エミュレータにマイクロコントローラを接続してプログラムを開発するが、新規周辺回路の組合せを有するマイクロコントローラにおけるソフトウェアプログラムを開発する場合には、新規マイクロコントローラを支援するためのエバーチップ(EVA-CHIP)を製造すべきであり、このエバーチップの製造に多くの時間及び費用を必要とすると共に、ターゲットマイクロコントローラの開発及びこれを用いたソフトウェアプログラムなどの作成が迅速に行えなくなるという問題が生じる。

【0010】このため、本発明の目的は、周辺回路を任意に選択し、該選択された周辺回路に対しアドレスを再設定し、ソフトウェアプログラムなどの開発、ハードウェア及びソフトウェアなどのターゲットソリューションが容易に行われるようにするマイクロコントローラのアドレス再設定回路を提供することにある。

【0011】

【課題を解決するための手段】上記課題を解決するための手段として、請求項1に係るマイクロコントローラのアドレス再設定回路においては、プログラム及びデータを格納するメモリ手段と、該メモリ手段とデータバスにより接続される複数の周辺回路と、前記メモリ手段に格納されたプログラムを実行して前記周辺回路を制御する中央処理装置と、前記周辺回路を割り当てるアドレスに変換して再設定するための再設定アドレスを出力すると共に、前記周辺回路の中で選択されない周辺回路をディスエーブルさせるための制御信号を出力するアドレス再設定手段と、該アドレス再設定手段から出力する前記再設定アドレスと前記制御信号を入力して前記再設定アドレスを復号し、この復号された再設定アドレスにしたがって前記周辺回路の中で選択された周辺回路を指定するアドレスデコード手段とを備えて構成する。

【0012】以上のように構成することにより、メモリ手段でソフトウェアプログラム及びデータが格納され、周辺回路と前記メモリ手段とがデータバスにより接続され、中央処理装置で前記メモリ手段に格納されたプログラムを実行して前記周辺回路が制御される。またアドレス再設定手段では、前記周辺回路中の選択された周辺回路に対応するアドレスを変換して該アドレスを再設定アドレスとして出力すると共に、前記周辺回路の中で選択されない周辺回路をディスエーブルさせるため制御信号が出力される。

【0013】さらにアドレスデコード手段は、前記アドレス再設定手段から出力する前記再設定アドレスを復号し、この復号された再設定アドレスにしたがって前記周辺回路中の選択された周辺回路が指定される。一方、前記アドレス再設定手段では、また周辺回路の中で選択されない周辺回路をディスエーブルさせるために制御信号をアドレスデコード手段に出力する。

【0014】また請求項2に係るマイクロコントローラ

のアドレス再設定回路においては、前記アドレス再設定手段がアドレスバスに載せられたアドレス中の前記周辺回路を割り当てるアドレスが入力されるアドレス入力端と、該アドレス入力端から入力されたアドレスを再設定した再設定アドレスに変換すると共に、前記周辺回路中の選択されない前記周辺回路をディスエーブルさせるための制御信号を前記アドレスデコード手段に入力するアドレス変換端と、該アドレス変換端で変換された前記再設定アドレスを前記アドレスデコード手段に出力するアドレス出力端とを含んで構成する。

【0015】このように構成することにより、アドレス入力端がアドレスバスに載せられたアドレス中の選択されたアドレスが入力される。また、アドレス変換端は、該アドレス入力端から入力されたアドレスを再設定した再設定アドレスに変換すると共に、前記周辺回路中の選択されない前記周辺回路をディスエーブルさせるための制御信号が前記アドレスデコード手段に出力する。

【0016】さらに、アドレス出力端は、前記アドレス変換端で変換された前記再設定アドレスとして前記アドレスデコード手段に出力する。

【0017】

【発明の実施の形態】以下、本発明の実施形態について図を参照して説明する。本発明に係るマイクロコントローラのアドレス再設定回路は、図1に示すように、ソフトウェアプログラム及びデータを格納するメモリ手段202と、該メモリ手段202とデータバスにより接続される複数の周辺回路204-1～204-Nと、前記メモリ手段202に格納されたソフトウェアプログラムを実行して周辺回路204-1～204-Nに読み出し制御RD信号(read disable)、書き込み制御WE信号(write enable)を出力する中央処理装置201と、アドレスADDRを指定の周辺回路204-1～204-Nを選択するため変換して再設定すると共に、周辺回路204-1～204-N中の選択されない周辺回路をディスエーブルさせるための制御信号IPDを出力するアドレス再設定手段205と、該アドレス再設定手段205の出力信号を復号してそれら周辺回路204-1～204-N中の使用者の選択した該当する回路に割り当てるアドレスデコード手段203と、を備えて構成される。

【0018】ここで、変換以前のアドレスは、マイクロコントローラの周辺回路を指定するアドレスで、変換後のアドレスは、EVAチップ上の既存の周辺回路又は付加周辺回路を指定するアドレスのことである。またアドレス再設定手段205には、図2に示すようにアドレスバスに載せられたアドレス中の選択された該当周辺回路に対応するアドレスが入力されるアドレス入力端211と、該アドレス入力端211から入力した入力信号を選択される周辺回路のアドレスに基づいて再設定するアドレスADDRに変換してアドレス出力端213から出力すると共に、前記周辺回路204-1～204-N中の

選択されない周辺回路がディスエーブルされるための制御信号IPDをアドレスデコード手段203に出力するアドレス変換端212と、該アドレス変換端212で変換された再設定アドレスを再設定アドレスバスを経てアドレスデコード手段203に出力するアドレス出力端213とを備えている。

【0019】このように構成された本発明の実施形態の動作について説明する。まず、使用者が所望の機能を実現するため、チップに内装された周辺回路204-1～204-N中の特定の周辺回路を選択するため情報データを入力すると、アドレス再設定手段205は、アドレスバスから入力したアドレスを変換させて、前記選択された周辺回路に該当するアドレスが出力されるように設定される。

【0020】例えば、使用者が周辺回路204-2、204-7を選択してアドレスADDR1、ADDR2を再設定する場合、中央処理装置201はメモリ手段202に格納されたプログラムを実行して周辺回路204-1～204-Nを指定するためのアドレスADDRを出力する。このとき、前記アドレス再設定手段205のアドレス入力端211には、例えばアドレスバスから周辺回路204-2、204-7を指定するためのアドレスが入力され、アドレス変換端212では再設定アドレスADDR1、ADDR2に変換されると共に、前記周辺回路204-2、204-7を除いた残りの周辺回路をディスエーブルさせるための制御信号IPDが出力され、前記変換されたアドレスADDR1、ADDR2はアドレス出力端213から再設定アドレスバスを介してアドレスデコード手段203に入力される。

【0021】即ち、図4に示すように、マイクロコントローラに内蔵された周辺回路A、B、C、D、Eのアドレスが夫々1、2、3、4、5に固定されていると仮定すると、前記アドレス再設定手段205は、図5に示すように対象マイクロコントローラ毎に夫々設定される。また、図6の如く周辺回路を設定した場合には、図7の如く対象マイクロコントローラ毎に夫々アドレスを再設定することができる。

【0022】この時、再設定されたアドレスバスはアドレス再設定手段205で再設定されたアドレスを指定するアドレスバスである。前記アドレス再設定手段205の制御信号IPDを受けたアドレスデコード手段203は、例えば再設定アドレスADDR1、ADDR2を復号して周辺回路204-2、204-7が指定される。

【0023】以後、中央処理装置201から読み出し制御RD信号、書込み制御WE信号が出力され、周辺回路204-2、204-7はデータバスから該当するデータを受けて所定の読み出し、書込み処理が行なわれる。以上に説明した本実施の形態のマイクロコントローラは、図3に示したようなエミュレータに接続されてソフトウェアプログラムが開発される。

【0024】このとき、使用者がソフトウェアプログラムの作成のためキーワードを入力すると、制御部231が第1メモリ232に格納されたソフトウェアプログラムを実行してマイクロコントローラ234を駆動させる。次いで、アドレス再設定手段235は、マイクロコントローラ234に内蔵された周辺回路204-1～204-N中の使用者の選択した周辺回路のアドレスを受けて周辺回路の割当てアドレスが再設定された後、前記マイクロコントローラ234に再設定アドレスが入力される。

【0025】一方、マイクロコントローラ234は、中央処理装置201によりメモリ手段202に格納されたプログラムを実行してアドレスを発生し、該アドレスを受けたアドレスデコード手段203は周辺回路204-1～204-N中の選択された周辺回路が順次指定される。次いで、中央処理装置101から読み出し制御RD信号、書込み制御WE信号を出力して周辺回路204-1～204-N中の選択された周辺回路を動作させ、この選択された周辺回路はデータバスからデータを受けて所定の読み出し、書込み処理を行い、それら処理の行われるデータが第2メモリ233に格納される。

【0026】以後、プログラムの作成中に使用者が、例えば、読み出し、書込み処理の実行状態を点検するためキーワードを入力すると、制御部231はマイクロコントローラ234の動作を停止させ、その後、使用者が読み出し、書込み処理の実行可否を確認するために再びキーワードを入力すると、制御部231は第2メモリ233に格納されたデータ中の該当するデータを読み取って表示装置に出力する。

【0027】以上に説明した本発明の実施形態では、使用者がチップに内装された周辺回路を所望の機能に従い任意に選択してアドレスを再設定することにより、マッピング設定を迅速に行えるため、ソフトウェアプログラムの開発を迅速に行なえる。また上記実施形態では、新規周辺回路の組合せを含んで成るマイクロコントローラの応用プログラムを開発するために必要なエミュレータを容易に製造して応用プログラムの開発者に提供することにより、応用ソフトウェアプログラムの開発期間及び開発費用を削減する。

【0028】

【発明の効果】以上に説明したように、請求項1または請求項2に係るマイクロコントローラのアドレス再設定回路においては、アドレス再設定手段で選択された周辺回路に対応するアドレスに変換して該アドレスを再設定アドレスとして出力すると共に、周辺回路の中で選択されない該周辺回路をディスエーブルさせるため制御信号を出力し、さらにアドレスデコード手段で前記アドレス再設定手段から出力する再設定アドレスを復号し、この復号された再設定アドレスにしたがって特定の周辺回路が指定されることにより、使用者がチップに内装された

周辺回路を所望の機能に従い任意に選択してアドレスを再設定することができるため、新規周辺回路の組合せを有したマイクロコントローラの応用ソフトウェアプログラムを開発するため必要なエミュレータを容易に製造して応用プログラムの開発者に提供することにより、応用ソフトウェアプログラムの開発期間及び費用を削減することができる。

【0029】また請求項1または請求項2によれば、使用者がチップに内装された周辺回路を所望の機能に従い任意に選択してアドレスを再設定することにより、マッピング設定を迅速に行えるため、応用ソフトウェアプログラムの開発に好適になり、応用ソフトウェアプログラムの開発期間及び費用を削減することができるという効果を奏することができる。

【図面の簡単な説明】

【図1】本発明の実施形態に係るマイクロコントローラのアドレス再設定回路の構成を説明するブロック図である。

【図2】本実施形態に係るアドレス再設定手段の構成を示すブロック図である。

【図3】本実施形態に係るエミュレータの構成を示すブロック図である。

【図4】本実施形態に係るアドレス再設定の過程を示す図である。

【図5】本実施形態に係るアドレス再設定の過程を示す図である。

【図6】本実施形態に係るアドレス再設定の過程を示す図である。

【図7】本実施形態に係るアドレス再設定の過程を示す図である。

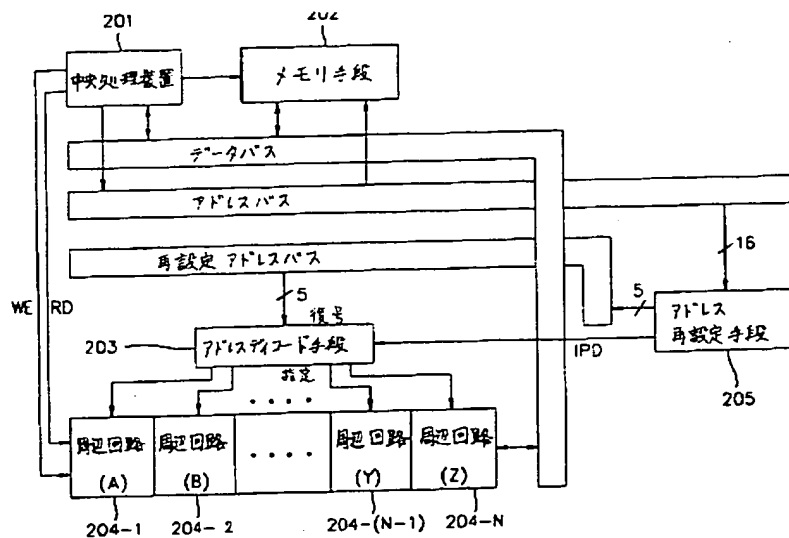
【図8】従来のマイクロコントローラの構成例を示すブロック図である。

【図9】従来のエミュレータの構成例を示すブロック図である。

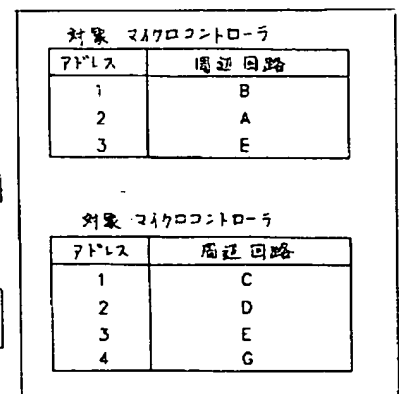
【符号の説明】

- 201 中央処理装置
- 202 メモリ手段
- 203 アドレスデコード手段
- 204-1～204-N 周辺回路
- 205 アドレス再設定手段
- 211 アドレス入力端
- 212 アドレス変換端
- 213 アドレス出力端

【図1】

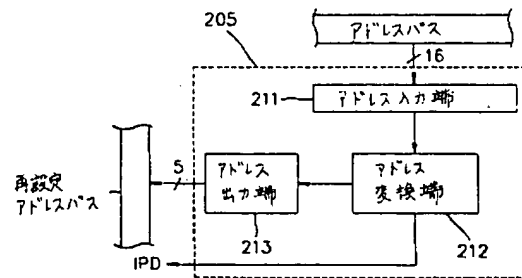


【図5】

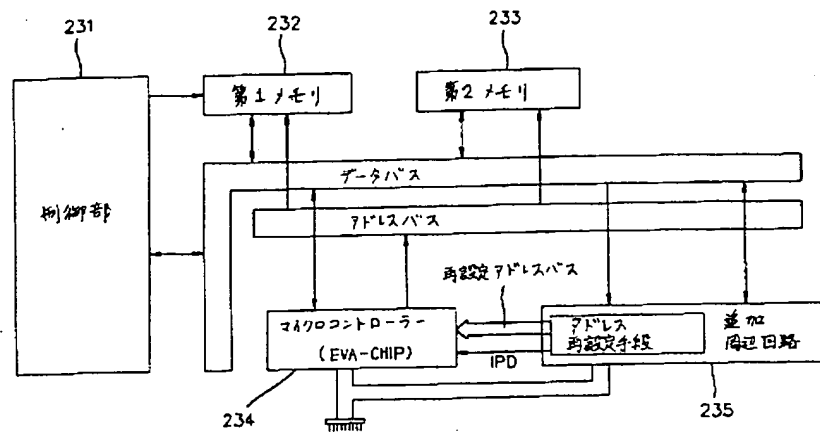


BEST AVAILABLE COPY

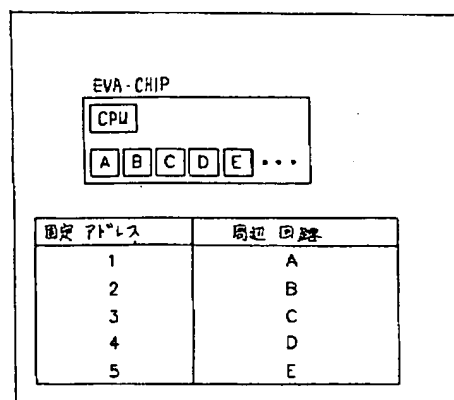
【図2】



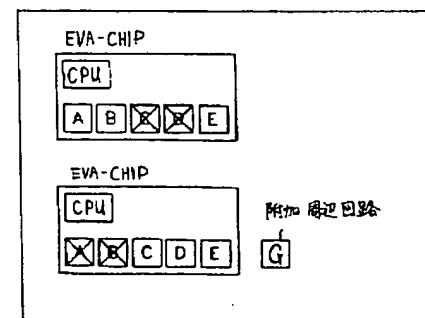
【図3】



【図4】



【図6】

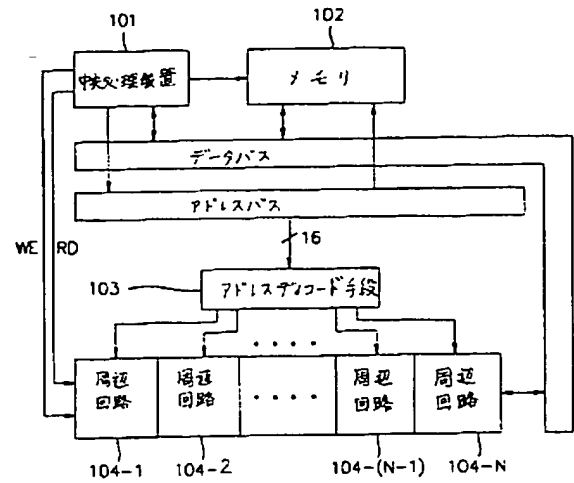


【図7】

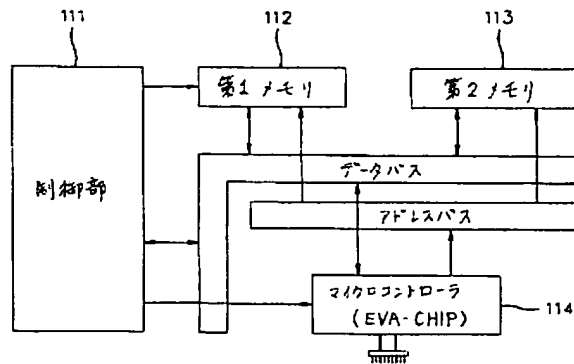
対象マイクロコントローラ		
周辺回路	アドレスバス	再設定 アドレスバス
B	1	2
A	2	1
E	3	5

周辺回路	アドレスバス	再設定 アドレスバス
C	1	3
D	2	4
E	3	5
G	4	-(IPD)

【図8】



【図9】



THIS PAGE BLANK (USPTO)